

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Norihiko SEKINE**

Serial Number: **NEW**

Filed: **September 27, 2001**

For: **SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF**



CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D. C. 20231

Date: September 27, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2000-382697, Filed December 15, 2000

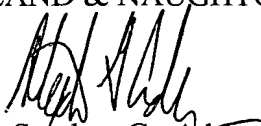
In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN, HATTORI,
McLELAND & NAUGHTON, LLP


Stephen G. Adrian
Attorney for Applicant
Reg. No. 32,878

Atty. Docket No. **011292**
1725 K Street, N.W., Suite 1000
Washington, DC 20006
Tel: (202) 659-2930
Fax: (202) 887-0357
SGA/llf

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月15日

出 願 番 号

Application Number:

特願2000-382697

出 願 人

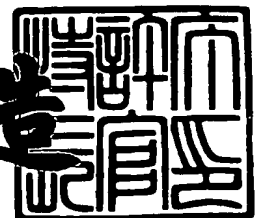
Applicant(s):

富士通株式会社

2001年 8月 3日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3067819

【書類名】 特許願

【整理番号】 0040805

【提出日】 平成12年12月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 8

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 関根 徳彦

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100090273

 【弁理士】

 【氏名又は名称】 國分 孝悦

 【電話番号】 03-3590-8901

【手数料の表示】

 【予納台帳番号】 035493

 【納付金額】 21,000円

【その他】 国等の委託研究の成果に係る特許出願（平成12年度、通商産業省、委託事業「軽水炉等改良技術確証試験等（発電設備診断システム開発）」委託研究、産業活力再生特別措置法第30条の適用を受けるもの）

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

特 2 0 0 0 - 3 8 2 6 9 7

【物件名】 要約書 1

【包括委任状番号】 9908504

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 格子定数の異なる第 1 及び第 2 の半導体基板を貼り合わせた構造を有する半導体装置であって、

前記第 1 及び第 2 の半導体基板の貼り合わせ界面に、前記第 1 及び第 2 の半導体基板の構成原子からなるアモルファス層が形成されていることを特徴とする半導体装置。

【請求項 2】 前記第 1 及び第 2 の半導体基板のいずれか一方が、レーザ発振による発光層を有していることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 の半導体基板が 0 層若しくは 1 層以上の化合物半導体層を有する InP 基板であり、前記第 2 の半導体基板が 0 層若しくは 1 層以上の化合物半導体層を有する GaAs 基板であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記第 1 の半導体基板の前記化合物半導体層が $\text{In}_{1-x}\text{Ga}_x\text{As}_y\text{P}_{1-y}$ (x, y はともに 0 以上 1 以下の数) からなることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記第 2 の半導体基板の前記化合物半導体層が $\text{Al}_x\text{Ga}_{1-x}\text{As}$ (x は 0 以上 1 以下の数) からなることを特徴とする請求項 3 に記載の半導体装置。

【請求項 6】 前記アモルファス層の厚さが 1 nm 以上であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】 格子定数の異なる異種半導体基板の表面同士を圧着させる第 1 の工程と、

前記異種半導体基板に熱処理を施して、前記異種半導体基板の貼り合わせ界面に沿ってアモルファス層を形成する第 2 の工程とを有することを特徴とする半導体装置の製造方法。

【請求項 8】 前記第 2 の工程において、前記熱処理を 550℃以上の温度で 1 時間以上行うことを特徴とする請求項 7 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特に、異なる半導体材料からなる基板同士を接合した構造を有する半導体装置に適用して好適である。

【0002】

【従来の技術】

近時においては、例えば化合物半導体材料を用いた半導体装置において、ガリウム砒素（GaAs）とインジウムリン（InP）のような異種半導体材料の集積化を実現するために、これらの材料を用いた半導体基板同士を直接貼り合わせる技術が用いられている。

【0003】

このような基板貼り合わせ技術は、例えば特開昭61-183915号公報、文献R.J.Ram et al., J.Appl.Phys Vol.78,4227(1995)に記載されており、双方の基板表面を洗浄処理した後、表面同士を圧着し、そのまま、還元雰囲気中（例えば水素）で熱処理することにより行う。

【0004】

図6（a）は、この方法により半導体基板11と半導体基板12とを接合した状態を示す概略断面図である。図6（a）に示すように、従来の貼り合わせでは、結晶性劣化の危惧から貼り合わせ温度のアニール時間を非常に短く（例えば温度450℃程度、時間30分程度）設定しており、半導体基板11と半導体基板12の界面を含む領域が、構造的に基板の接触を含む構造となっており、原子レベルでの結合が成されている。

【0005】

このように、基板相互の接触により貼り合わせを行った場合には、双方の基板材料の格子整合を考慮する必要がないので、半導体の種類に制限されることなく接合を行うことができる。また、結晶性についても、欠陥が界面近傍のみに抑えられるので、他の部分では欠陥の少ないものが得られる。

【0006】

【発明が解決しようとする課題】

しかしながら、基板相互の接触により接合を行った場合には、格子定数の異なる基板同士を無理やり貼り合わせることになる。この場合、異種半導体同士の熱膨張係数が異なるため、接合の熱処理の際に貼り合わせの界面において歪みが発生してしまうという問題が生じていた。貼り合わせの際の熱処理によって両基板の構成原子が運動し、界面において原子レベルで結合した後、格子定数の異なる結合に起因した歪みが保存されるためである。

【0007】

例えば、特開平5-267790号公報においては、歪みを含んだ原子再配値層を用いて貼り合わせを行っている。このような歪みが界面に存在すると、量子井戸などの発光層を界面近傍に配置した場合、発光層は歪みからの影響を受けて結晶性が劣化してしまう。そして、この結晶性の劣化により発光効率が低下してしまう。特に、このような貼り合わせ界面を面発光型レーザに適用した場合には、面発光型レーザの特徴として発光層が界面に非常に近いため、発光効率の低下が顕著となるという問題があった。

【0008】

この歪みを緩和させる手段として、特開平6-349692号公報には、異種半導体基板同士の接合界面に中間接着層を形成することが記載されている。しかし、この技術を例えば面発光型レーザに適用しようとした場合、中間接着層を形成したことにより基板と垂直方向のエピタキシャル層の膜厚がデバイス特性に影響を与える構造となってしまうため、デバイス設計に制限を与えることになってしまう。また、中間層を形成するためには新たな工程が必要となるため、工程が煩雑になるという問題も発生する。

【0009】

更に、貼り合わせ界面の電気的特性においても問題が発生していた。貼り合わせ界面の急峻性に起因してエネルギーバンドの遷移が不連続になり、電流-電圧特性が非線形になるという問題である。

【0010】

図6(b)は、界面の急峻性に起因したエネルギーバンドの不連続状態を示す

模式図である。図 6 (a) に示す接合では、エネルギー的に障壁が形成されてしまい、界面においてエネルギーの遷移が不連続な状態となるため、エネルギーバンドは半導体基板 1 1 と半導体基板 1 2 の間で不連続に変化する。原子レベルでの結合が良好に行われる程、電子の感じる電氣的障壁は大きなものとなる。面発光型レーザ等のデバイスにこのような基板貼り合わせ技術に応用した場合、電流が貼り合わせ界面を横切ることになるため、駆動電圧の上昇を引き起こしてしまう。

【0011】

また、この急峻なエネルギーバンドの変化により、電流－電圧特性は図 6 (c) のように非線形なものとなってしまふ。界面での電流－電圧特性が非線形になると、素子の制御性が大幅に劣化するという問題が生じる。

【0012】

例えば、このような非線形な電流－電圧特性を有する貼り合わせ界面を、発光素子等の光デバイスに適用した場合には、発光光量の制御が非常に困難となり、微弱な発光を行うことができなくなる。また、受光素子に適用した場合には、検出精度が劣化するという問題が生じる。

【0013】

電気特性の非線形性に関しては、特開平 6 - 9 0 0 6 1 号公報において、線形な電流－電圧特性が得られることが記載されているが、発光層を界面に近づけた場合に、上述したような光学特性が損なわれるという問題は回避できなかった。

【0014】

このように、従来の基板貼り合わせ技術では、界面近傍で光学特性が劣化するという問題と、界面における電流－電圧特性が非線形になるという問題の双方を同時に解決することができなかった。

【0015】

本発明は、このような問題を解決するために成されたものであり、本発明の目的は、貼り合わせ界面の熱歪みによる発光効率の低下を抑えるとともに、界面における電流－電圧特性の線形性を得ることにある。

【0016】

【課題を解決するための手段】

本発明は、上述の課題を解決するため、以下に示す発明の諸態様を有する。

【0017】

本発明の半導体装置は、格子定数の異なる第1及び第2の半導体基板を貼り合わせた構造を有する半導体装置を対象とする。この半導体装置においては、前記第1及び第2の半導体基板の貼り合わせ界面に、前記第1及び第2の半導体基板の構成原子からなるアモルファス層が形成されている。

【0018】

また、本発明の半導体装置の製造方法は、上記の半導体装置の製造方法を対象とする。この製造方法は、格子定数の異なる異種半導体基板の表面同士を圧着させる第1の工程と、前記異種半導体基板に熱処理を施して、前記異種半導体基板の貼り合わせ界面に沿ってアモルファス層を形成する第2の工程とを有し、前記第2の工程において、550℃以上の温度で1時間以上の熱処理を行う。

【0019】

【作用】

本発明は上記技術手段より成るので、第1及び第2の半導体基板の界面に沿って形成されたアモルファス層が、両基板の熱膨張係数差に起因する貼り合わせ界面の歪みを最小限に抑えることになる。また、アモルファス層により界面の電氣的障壁が緩和されるため、界面の電流－電圧特性の線形性が確保されることになる。更に、アモルファス層の形成は、熱処理の際に起こる構成原子の相互拡散により行われるため、基板貼り合わせと同時にアモルファス層の形成を行うことができ、工程数の増加が抑止される。

【0020】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施形態について説明する。

【0021】

図1は、本実施形態における半導体装置の原理を示す模式図であり、本発明によって実現される構造を示したものである。

【0022】

図 1 (a) に示すように、本実施形態に係る半導体基板の接合構造では、半導体基板 1 と半導体基板 2 の界面にアモルファス層 3 を形成している。従って、半導体基板 1 と半導体基板 2 は、アモルファス層 3 を介して接合されている。アモルファス層の厚さは、1 nm ～ 3 nm 程度であり、界面に沿って略均一な厚みで形成されている。半導体基板 1 は例えば GaAs 基板であり、半導体基板 2 は InP 基板である。

【0023】

半導体基板 1 と半導体基板 2 の貼り合わせは、550℃以上の高温処理を1時間以上のアニール時間処理することにより行う。このような高温処理を長時間行うことによって、界面近傍での原子の相互拡散を促進させることができ、界面に沿って略均一な膜厚のアモルファス層 3 を形成することが可能となる。アモルファス層 3 は、1 nm 程度以上の膜厚で形成することにより、界面の全域に確実に形成することができ、半導体基板 1 と半導体基板 2 が直接接触することを抑止できる。

【0024】

アモルファス層 3 中では半導体基板 1 と半導体基板 2 の原子が相互に拡散しているため、半導体基板 1, 2 として GaAs 基板と InP 基板を用いた場合、アモルファス層 3 中においては、GaAs 基板に近い領域では、原子間隔は GaAs の格子定数 (0.56333 nm (5.6333 Å)) に近い値となり、InP 基板に近い領域では、原子間隔は InP の格子定数 (0.58686 (5.8686 Å)) に近いものとなり、厚み方向で原子間隔が遷移している。

【0025】

アモルファス層 3 の形成により界面近傍での結晶性は若干損なわれるが、逆に電気的特性、光学的特性を向上させることができる。先ず、図 1 (b)、図 1 (c) を参照しながら、電気的特性の向上について説明する。

【0026】

図 1 (b) は、図 1 (a) に示す構造の界面におけるエネルギーバンドを示している。本実施形態では、アモルファス層 3 を相互拡散により形成することで、材料組成が滑らかに変化し、図 1 (b) のようにエネルギーバンドを平滑化する

ことができる。そのため、電流－電圧特性は図1（c）に示すように線形な特性を得ることができる。

【0027】

更に、アモルファス層3の形成により光学的特性を向上させることが可能となる。2つの半導体基板の熱膨張係数差により生じる貼り合わせ界面の歪みをアモルファス層3で緩和することができるからである。このため、貼り合わせ界面の両側の半導体基板1，2が、接合による歪みの影響を受けてしまうことを抑止できる。これにより、発光層を界面近傍に配置しても発光効率の低下を抑えることが可能となる。なお、結晶性の犠牲については、界面近傍の膜厚3 nm程度の領域にとどまるので、その他の大部分の領域に影響が及ぶことはない。

【0028】

このように、本実施形態の構造によれば、貼り合わせ界面に沿ってアモルファス層3を形成することにより、電氣的、光学的特性の劣化を抑止した状態で異なる半導体材料を一体化することが可能となる。これにより、素子構造の選択性が増し、高性能な半導体素子を実現することができる。

【0029】

本実施形態は、0層若しくは1層以上の化合物半導体層（一般式： $Al_xGa_{1-x}As$ （ x は0以上1以下の数））を有するGaAs基板、0層若しくは1層以上の化合物半導体層（一般式： $In_{1-x}Ga_xAs_yP_{1-y}$ （ x, y はともに0以上1以下の数））を有するInP基板同士の接合の他、格子定数が異なる様々な異種半導体基板同士の接合に適用することができる。例えば、光デバイス等における、シリコン（Si）基板上へのGaAs基板の接合等にも適用することができる。そして、接合界面にアモルファス層3を形成することにより、界面における特性の劣化を最小限に抑えることができるため、双方の基板の材料の選択性を大幅に拡大することができる。

【0030】

以上説明したように、本実施形態によれば、格子定数の異なる2つの半導体基板1，2を貼り合わせる際に、相互拡散を利用したアモルファス層3を界面に沿って形成することにより、界面における電流－電圧特性の線形性を得ることがで

きる。更に、形成したアモルファス層 3 は、熱膨張係数差に起因する歪みを緩和する効果を有しているために、光学的な観点からも発光効率を損なうことのない良好な界面を得ることができる。

【0031】

これにより、異種半導体基板同士の貼り合わせ界面をデバイスの一部として含む場合でも、電気的特性、光学的特性の劣化を最小限に抑えることが可能となり、デバイスの顕著な性能向上及び信頼性の向上を達成することができる。

【0032】

【実施例】

以下、上述の実施形態を具体的に適用した実施例について説明する。

【0033】

図 2 は、上述の実施形態を具体的に実施して、異種半導体である InP 基板と GaAs 基板を接合し、界面に沿ってアモルファス層 3 を形成した試料の断面電子顕微鏡写真を示している。この試料は、水素雰囲気中の加熱炉を用いて作成したものであり、両基板の表面酸化膜を除去した後、水洗いを行い、水中で両基板の表面同士を密着させ、その後、密着させたまま乾燥させ、最後に 100 g/cm^2 程度の圧力で圧着したまま水素雰囲気中で 550°C 程度の温度で 1 時間処理することにより、両基板の界面にアモルファス層 3 を形成したものである。図 2 に示すように、上側の InP 基板と下側の GaAs 基板の間に膜厚 3 nm 程度のアモルファス層 3 が形成されていることが分かる。

【0034】

図 3 は、図 2 の試料に電流を流し、電流－電圧特性を測定した結果を示している。図 3 に示すように、本実施例の方法により作成した貼り合わせ基板では、明らかに線形な電流－電圧特性を得ることができた。

【0035】

また、この試料により光学的特性の劣化を抑止できることを確認した。図 4 は、この試料の貼り合わせ界面から 300 nm 離れた位置に量子井戸発光層を設けた場合の、貼り合わせ温度に対する発光強度の変化を示している。図 4 に示すように、アモルファス層 3 を形成する高温の熱処理温度でも発光強度が減少してお

らず、アモルファス層3で界面の歪みが緩和されていることがわかる。

【0036】

アモルファス層3を形成せずに、双方の基板同士を接触させて原子レベルで結合させた場合には、温度の上昇に伴って原子運動が盛んになるため、格子定数の異なる基板同士を接合することはできるが、接合後の歪みは接合時の温度に伴って増大する。従って、高温で接合する程発光強度が低下することになる。アモルファス層3を形成することにより、歪みの発生を最小限に抑えることができ、発光強度の低下を抑止することができる。

【0037】

次に、上述の実施形態の構造を具体的な半導体装置に適用した実施例について説明する。ここでは、上述の実施形態を面発光型レーザに適用している。図5は、本実施例の面発光型レーザの構成を示す概略断面図である。

【0038】

この面発光型レーザは、活性層6を形成したn型InP積層基板4にn型GaAs積層基板5を貼り合わせた構成を有し、n型InP積層基板4側の電極7とn型GaAs積層基板5側の電極8との間に電流を流すことにより、活性層6において発光を行う。活性層6をn型InP積層基板4に形成したことにより、特に波長 $1.3\mu\text{m}\sim 1.5\mu\text{m}$ 程度の長波長帯で発光させることができ、比較的反射率の低いn型InP積層基板4に反射率の高いn型GaAs積層基板5を接合することにより、高反射率を実現したものである。

【0039】

活性層6において発光した光は、n型InP積層基板4のInP系多層反射鏡9及び誘電体多層反射鏡12と、n型GaAs積層基板5のGaAs/AlAs多層反射鏡10の間で反射する。従って、活性層6の両側の積層膜はInP系共振器11として機能する。そして、反射した光は最終的にn型InP積層基板4上に形成された誘電体多層反射鏡12側へ放出される。

【0040】

n型InP積層基板4及びn型GaAs積層基板5の構成の一例は以下の通りである。n型GaAs積層基板5は、n-GaAs基板5a上にn-AlAs層

と n -GaAs 層を $\lambda/4n_1$ ($\lambda = 1.3\mu\text{m}$, n_1 : 屈折率) 相当の厚さで 26 ペア作製した試料 (A) から構成されている。

【0041】

n 型 InP 積層基板 4 は、 $\text{In}_{0.31}\text{Ga}_{0.69}\text{As}$ 基板 4a 上に形成した、 p - $\text{In}_{0.31}\text{Ga}_{0.69}\text{As}$ バッファ層 4b (500nm)、 p - $\text{In}_{0.785}\text{Ga}_{0.215}\text{P}$ エッチングストップ層 4c (100nm)、 p - $\text{In}_{0.31}\text{Ga}_{0.69}\text{As}$ コンタクト層 4d (400nm)、 p - $\text{In}_{0.305}\text{Al}_{0.251}\text{Ga}_{0.444}\text{As}$ 層 (20nm)、 p - $\text{In}_{0.785}\text{Ga}_{0.215}\text{P}$ 層 (102nm)、 p - $\text{In}_{0.305}\text{Al}_{0.251}\text{Ga}_{0.444}\text{As}$ 層 (20nm)、 p - $\text{In}_{0.31}\text{Ga}_{0.69}\text{As}$ 層 (261nm)、 p - $\text{In}_{0.305}\text{Al}_{0.251}\text{Ga}_{0.444}\text{As}$ 層 (20nm)、 p - $\text{In}_{0.785}\text{Ga}_{0.215}\text{P}$ 層 (81nm)、 p - $\text{In}_{0.305}\text{Al}_{0.251}\text{Ga}_{0.444}\text{As}$ クラッド層 (163nm)、 i - $\text{In}_{0.305}\text{Al}_{0.251}\text{Ga}_{0.444}\text{As}$ 層 (10nm)、 i - $\text{In}_{0.46}\text{Ga}_{0.54}\text{As}$ 層 (7nm)、 i - $\text{In}_{0.305}\text{Al}_{0.251}\text{Ga}_{0.444}\text{As}$ 層 (10nm)、 i - $\text{In}_{0.46}\text{Ga}_{0.54}\text{As}$ 層 (7nm)、 i - $\text{In}_{0.305}\text{Al}_{0.251}\text{Ga}_{0.444}\text{As}$ 層 (10nm)、 i - $\text{In}_{0.46}\text{Ga}_{0.54}\text{As}$ 層 (7nm)、 i - $\text{In}_{0.305}\text{Al}_{0.251}\text{Ga}_{0.444}\text{As}$ 層 (10nm)、 n - $\text{In}_{0.305}\text{Al}_{0.251}\text{Ga}_{0.444}\text{As}$ クラッド層 (163nm)、 n - $\text{In}_{0.785}\text{Ga}_{0.215}\text{P}$ 層 (102nm)、 n - $\text{In}_{0.31}\text{Ga}_{0.69}\text{As}$ カバー層 (10nm) を有する試料 (B) から構成されている。ここで、 n 型と p 型のクラッド層に挟まれた 3 層の i - $\text{In}_{0.46}\text{Ga}_{0.54}\text{As}$ 層 (7nm) が活性層 6 として機能する。

【0042】

n 型 InP 積層基板 4 と n 型 GaAs 積層基板 5 の接合は、試料 (A)、試料 (B) の双方の表面酸化膜をそれぞれ洗浄して除去し、 n 型 GaAs 積層基板 5 の表層である n -GaAs 層と、 n 型 InP 積層基板 4 の表層であるカバー層とを圧着した状態で、図 2 の試料と同様の熱処理を施すことにより行う。これにより、 n 型 InP 積層基板 4 と n 型 GaAs 積層基板 5 の貼り合わせ界面に、アモルファス層 3 を形成することができる。

【0043】

n 型 InP 積層基板 4 と n 型 GaAs 積層基板 5 を貼り合わせた後、 n 型 In

P積層基板4のInGaAs基板4a及びp-InGaAsバッファ層4bを除去し、引き続き下層のp-InGaPエッチングストップ層4cを除去する。その後、フォトリソグラフィー及びこれに続くドライエッチングにより、誘電体多層膜鏡12を形成する領域のp-InGaAsコンタクト層4dを選択的に除去する。

【0044】

その後、p-InGaAsコンタクト層4dを除去した領域に、蒸着により $\text{Al}_2\text{O}_3/\text{Si}$ （膜厚 $\lambda/4n_1$ 相当）から成る誘電体多層膜鏡12を形成後、n-GaAs基板5aとp-InGaAsコンタクト層4dのそれぞれに電極7, 8を形成して図5に示す構造を完成させる。誘電体多層膜鏡12は少ない積層で高い反射率を確保できるため、n型InP積層基板4側に形成することで、比較的反射率の低いInP系多層反射鏡9の反射率を補うことができる。

【0045】

図5の面発光型レーザでは、n型InP積層基板4とn型GaAs積層基板5の界面にアモルファス層3を形成したことにより、n型GaAs積層基板5側の電極8と活性層6の間で流れる電流の界面における抵抗が最小限に抑えられ、駆動電圧の上昇を抑止することができる。また、界面での電流-電圧特性の線形性を確保できるため、発光強度の制御も容易に行うことができる。

【0046】

また、アモルファス層3の形成によって、貼り合わせ界面で生じる歪みを最小限に抑えることができるため、活性層6の近傍に貼り合わせ界面が位置しているにも関わらず、発光強度の劣化を最小限に抑えることが可能となる。

【0047】

そして、n型InP積層基板4に活性層6を形成することにより、特に長波長帯での発光を行うことができ、n型GaAs積層基板5を貼り合わせることで、n型GaAs積層基板5による高反射率の反射鏡を形成することができる。

【0048】

なお、本発明は、光デバイスへの適用に限定されるものではない。例えば異種半導体基板同士の接合を形成することにより、界面におけるバンドギャップを確

保してデバイスの耐電圧を高めることができる。従って、本発明は光デバイス以外にも、異種半導体基板の接合を有する半導体装置に広く適用することが可能である。

【 0 0 4 9 】

【発明の効果】

本発明によれば、異種半導体材料同士の貼り合わせ界面における熱歪みに起因した発光効率の低下を抑えることができ、且つ界面における電流－電圧特性の線形性を得ることが可能となる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態に係る貼り合わせ基板の特性を示す模式図である。

【図 2】

貼り合わせ界面にアモルファス層を形成した断面を示す模式図である。

【図 3】

貼り合わせ界面にアモルファス層を形成した試料の電流－電圧特性の測定値を示す特性図である。

【図 4】

貼り合わせ温度に対する発光強度の変化を示す特性図である。

【図 5】

面発光型レーザの構成を示す概略断面図である。

【図 6】

従来の貼り合わせ基板の特性を示す模式図である。

【符号の説明】

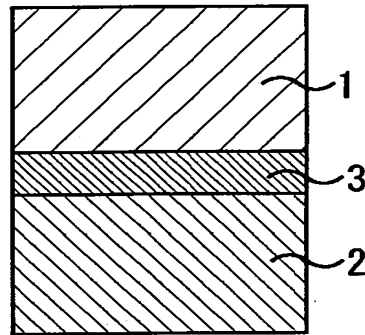
- 1, 2 半導体基板
- 3 アモルファス層
- 4 n型InP積層基板
- 4 a InGaAs基板
- 4 b バッファ層
- 4 c エッチングストップ層

- 4 d コンタクト層
- 5 n型GaAs積層基板
- 5 a n-GaAs基板
- 6 活性層
- 7, 8 電極
- 9 InP系多層反射鏡
- 1 0 GaAs/AlAs多層反射鏡
- 1 1 InP系共振器
- 1 2 誘電体多層反射鏡

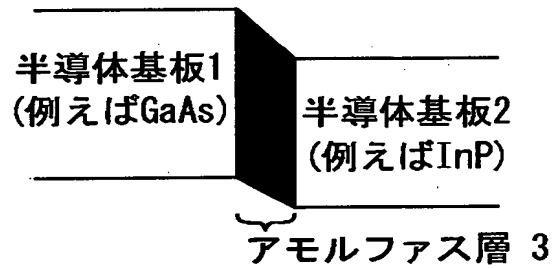
【書類名】

図面

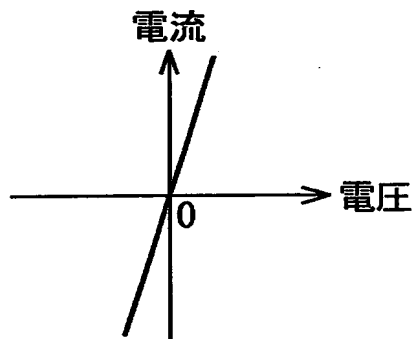
【図 1】



(a)



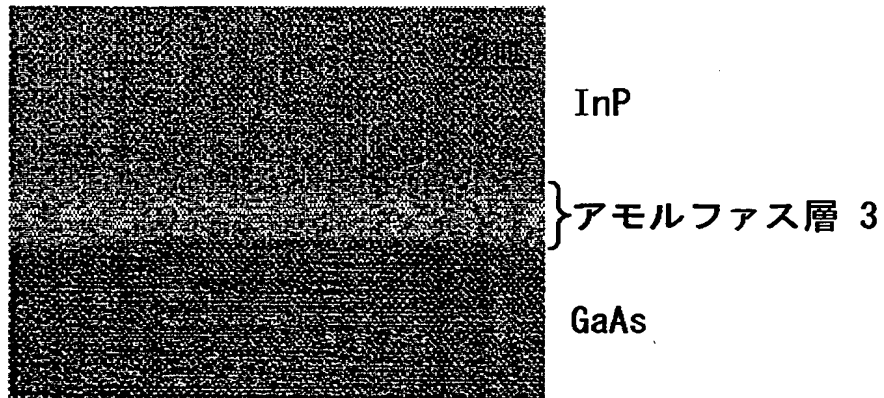
(b)



(c)

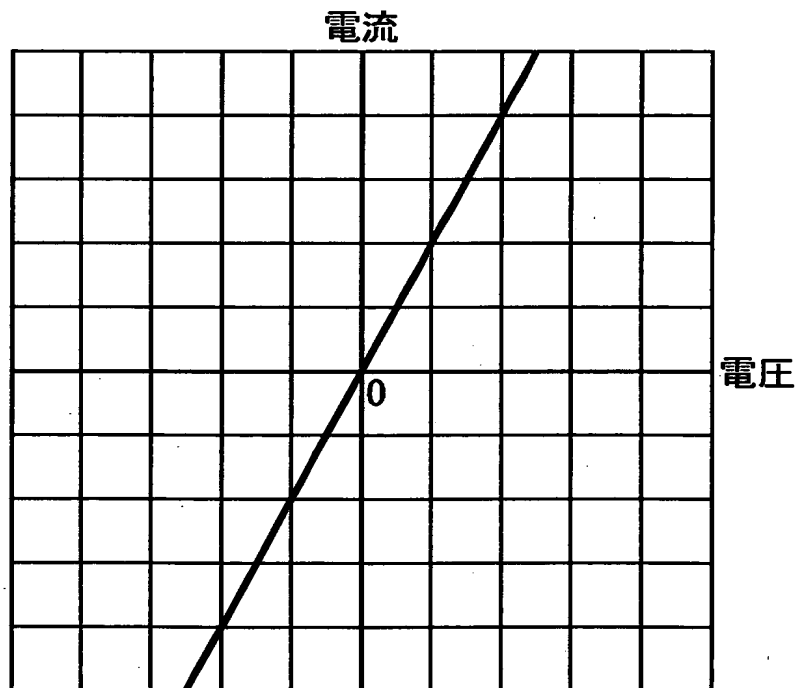
本発明の一実施形態に係る貼り合わせ基板の特性を示す模式図

【図 2】



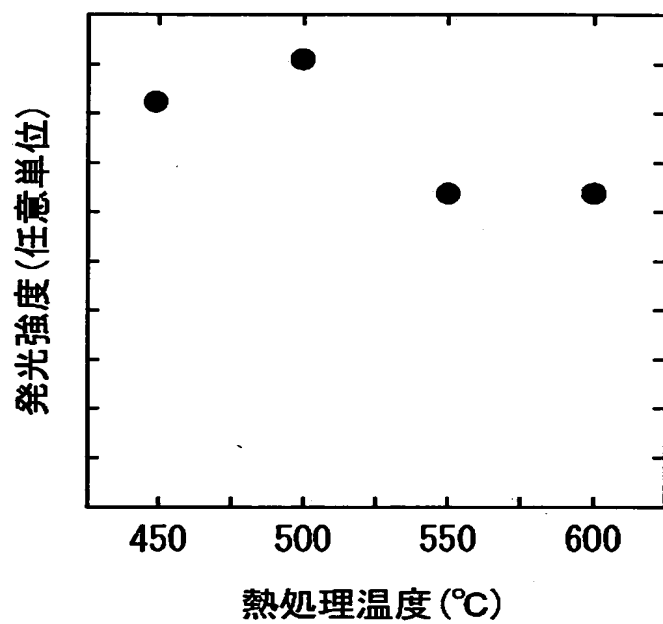
貼り合わせ界面にアモルファス層を形成した断面を示す模式図

【図 3】



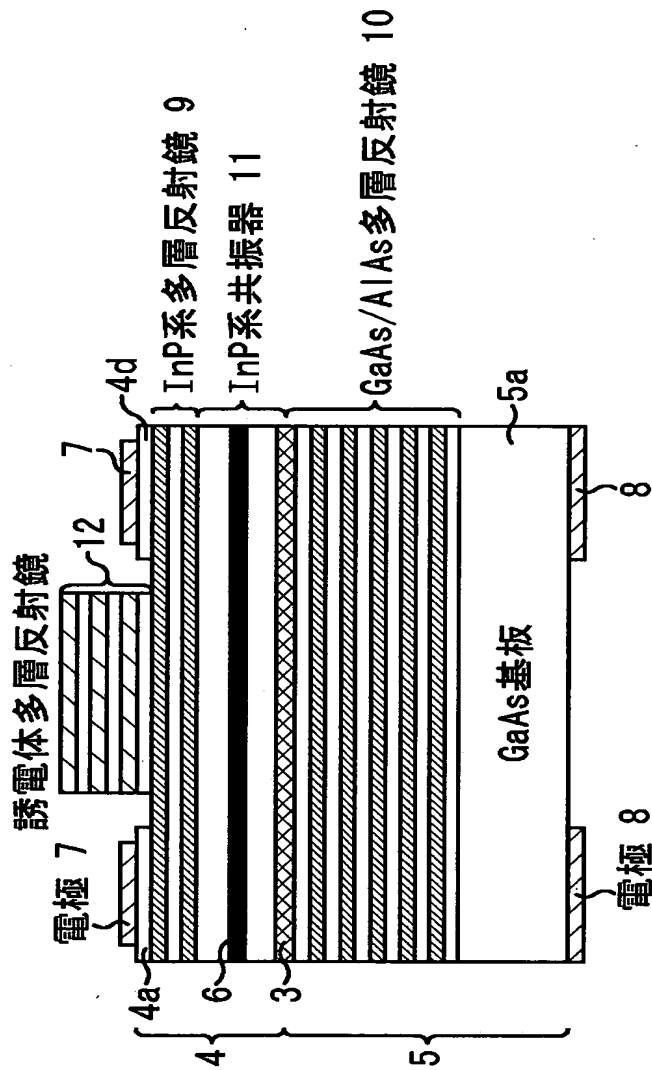
貼り合わせ界面にアモルファス層を形成した試料の
電流－電圧特性の測定値を示す特性図

【図4】



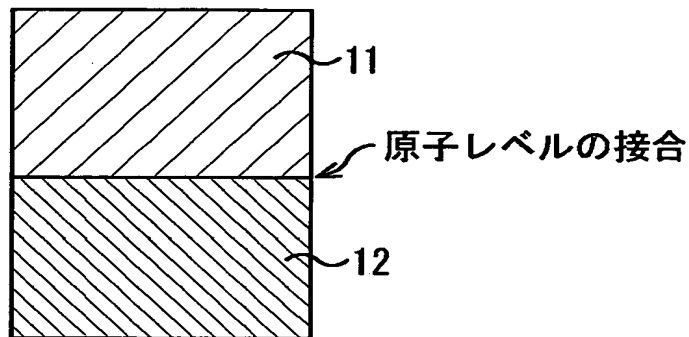
貼り合わせ温度に対する発光強度の変化を示す特性図

【図5】

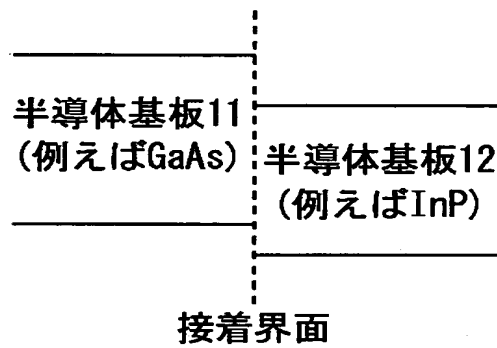


面発光型レーザーの構成を示す概略断面図

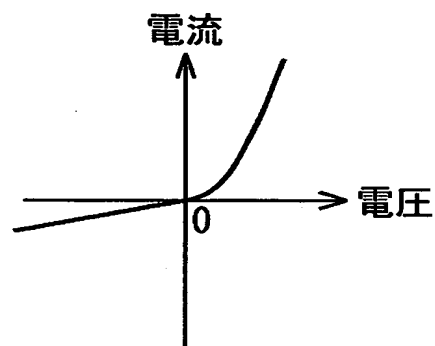
【図 6】



(a)



(b)



(c)

従来の貼り合わせ基板の特性を示す模式図

【書類名】 要約書

【要約】

【課題】 異種半導体基板の貼り合わせ界面の熱歪みによる発光効率の低下を抑えるとともに、界面における電流－電圧特性の線形性を得る。

【解決手段】 格子定数の異なる異種半導体材料であるGaAs基板1とInP基板2を貼り合わせた構造を有する半導体装置であって、GaAs基板1とInP基板2の貼り合わせ界面に、GaAs基板1とInP基板2の構成原子からなるアモルファス層3を形成している。アモルファス層3の形成により、レーザ発振による発光層を貼り合わせ界面近傍に形成した場合であっても、界面における熱歪みに起因した発光効率の低下を抑えることができ、且つ界面における電流－電圧特性の線形性を得ることが可能となる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社